



RENCANA PEMBELAJARAN SEMESTER (RPS) UNIVERSITAS DIPONEGORO

SPMI-UNDIP	RPS	S1.SK-FT-UNDIP	068
-------------------	------------	-----------------------	------------

Revisi ke	1
Tanggal	5 Juli 2022
Dikaji Ulang Oleh	Ketua Program Studi Teknik Komputer
Dikendalikan Oleh	GPM Teknik Komputer
Disetujui Oleh	Dekan Fakultas Teknik

UNIVERSITAS DIPONEGORO		SPMI-UNDIP/RPS/S1.SK-FT-UNDIP/068	Disetujui Oleh Dekan Fak. Teknik
Revisi ke 1	Tanggal 5 Juli 2022	Rencana Pembelajaran Semester	



UNIVERSITAS DIPONEGORO
FAKULTAS TEKNIK
DEPARTEMEN TEKNIK KOMPUTER
PROGRAM SARJANA

SPMI-
UNDIP/RPS/S1.SK-
FT-UNDIP/068

RENCANA PEMBELAJARAN
SEMESTER

MATA KULIAH (MK)	KODE	RUMPUN MK	BOBOT		SEMESTER	TANGGAL PENYUSUNAN
Perancangan Mikroprosesor	PTSK6608	Umum	T=2	P=0	Ganjil	5 Juli 2022
OTORISASI/PENGESAHAN	DOSEN PENGEMBANG RPS		Koordinator RMK		KaPRODI	
CAPAIAN PEMBELAJARAN	CPL yang dibebankan pada MK					
	CPL3	Memiliki pemahaman keilmuan dan penguasaan keterampilan di bidang teknik komputer, meliputi sistem tertanam dan robotika, jaringan dan keamanan komputer, rekayasa perangkat lunak, multimedia, game, dan kecerdasan buatan yang ditopang oleh profesionalitas, pengetahuan sains dasar dan rekayasa yang kuat.				
	CPMK (Capaian Pembelajaran Mata Kuliah)					
	CPMK 3-1	Mampu mendesain purwarupa sistem standalone dengan konsep waktu nyata untuk perancangan sistem kontrol dan monitoring				
	CPMK 3-2	Mampu mendesain purwarupa sistem terdistribusi dengan konsep waktu nyata untuk perancangan sistem kontrol dan monitoring				
Deskripsi Singkat	Kuliah ini merupakan kuliah pilihan di program studi Teknik Komputer, yang mempelajari tentang perancangan mikroprosesor baik untuk keperluan khusus (dedicated processor) maupun keperluan umum (general-purpose processor). Mikroprosesor dirancang menggunakan kode HDL (verilog/VHDL) dan diimplementasikan di atas board FPGA Xilinx Spartan3E. Mata kuliah ini mempunyai prasyarat mata kuliah TKC305 Sistem Digital Lanjut yang mempelajari tentang teknik perancangan blok rangkaian digital pembangun komputer menggunakan HDL dan TKC215 Arsitektur Komputer yang mempelajari struktur dan operasi mikroprosesor. Topik bahasan dalam kuliah ini meliputi metodologi desain mikroprosesor dan teknologi implementasi, rangkaian digital dan modul HDLnya: kombinasional dan sekuensial, komponen mikroprosesor: unit kontrol dan datapath, mikroprosesor tujuan khusus (ASIC, Application Specific IC), dan mikroprosesor tujuan umum (GP processor)					
Bahan Kajian Materi Pembelajaran	1. Pendahuluan Perancangan Mikroprosesor dan Metodologi Desain Prosesor dengan HDL 2. Perangkat lunak pengembangan HDL Xilinx ISE Webpack dan papan					

	pengembangan Xilinx FPGA 3. Rangkaian Kombinasional dan Implementasinya: HDL Multiplekser/ Demultiplekser, HDL Enkoder/Dekoder, HDL Dekoder 7-segmen, HDL Buffer tiga keadaan, HDL ALU (arithmetic logic unit), dan HDL Komparator 4. Latch, Flip-Flop dan Implementasinya: HDL Latch, HDL Flip-flop, HDL Latch data dan flip-flop data, Masukan enable, Masukan asinkron, Masalah pewaktuan 5. Mesin Keadaan Terbatas (FSM, Finite State Machine): FSM Moore, FSM Mealy, HDL FSM 6. Rangkaian Sekuensial dan HDL-nya: Register data, Register geser, Pencacah maju/mundur, SRAM (Static random access memory) 7. Mikroprosesor keperluan khusus dan mikroprosesor keperluan umum Pengantar Pengenalan Pola 8. Datapath: Desain datapath umum, Aplikasi datapath umum, Desain datapath umum, Aplikasi datapath umum 9. Unit Kontrol: Susunan unit kontrol, Teknik membangkitkan sinyal status, Permasalahan pewaktuan, Kontroler stand-alone, Diagram ASM (algorithmic state machine) dan tabel aksi keadaan 10. Mikroprosesor Keperluan Khusus: desain mikroprosesor khusus, model FSM+D 11. Mikroprosesor Keperluan Khusus: model FSMD, model perilaku 12. Mikroprosesor Keperluan Umum: Desain CPU Keperluan Umum, Model struktural FSM+D 13. Mikroprosesor Keperluan Umum: Model perilaku FSMD, himpunan instruksi 14. Pemantauan proyek
--	--

Pustaka		- Enoch O. Hwang: Digital Logic and Microprocessor Design with VHDL/Verilog, Cengage Learning, 2005 - Peter J. Ashenden, Digital Design: An Embedded Systems Approach Using Verilog/VHDL, Morgan Kaufmann, 2008 - Instalasi Xilinx ISE Webpack (Linux). Dokumen ini dapat diterapkan juga di Windows. - Verilog Tutorial (online): http://www.asic-world.com/verilog/veritut.html				
Pengampu		Eko Didik Widiyanto, S.T., M.T.				
Prasyarat		-				
Media Pembelajaran		Papan Tulis, LCD Projector, Laptop, dan Power Point				
Mg ke-	Sub-CPMK (sebagai kemampuan akhir yang diharapkan)	Penilaian	Bentuk pembelajaran ; Metode Pembelajaran; Penugasan; [Estimasi Waktu]		Materi Pembelajaran	Bobot (%)
		Indikator, Kriteria dan Bentuk	Tatap Muka / Luring	Daring		
(1)	(2)	(3)	(4)	(5)	(6)	(7)

1	Setelah menyelesaikan materi ini mahasiswa Program Studi Teknik Komputer akan mampu menjelaskan komponen rangkaian mikroprosesor, level abstraksi dalam desain, macam-macam HDL, serta proses sintesis dan mengapa desain harus dapat disintesis paling sedikit 80% tepat.	• mampu menjelaskan komponen rangkaian mikroprosesor • mampu menjelaskan level abstraksi dalam desain • mampu menjelaskan macam-macam HDL • mampu menjelaskan tentang proses sintesis dan mengapa desain harus dapat disintesis	Ceramah Diskusi Tanya Jawab (2x50")		Pendahuluan Perancangan Mikroprosesor dan Metodologi Desain Prosesor dengan HDL	5
2	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu menjelaskan dan menerapkan metodologi desain prosesor dengan HDL paling sedikit 80% tepat.	• Mampu menerapkan metodologi untuk mengembangkan sistem digital menggunakan device FPGA jika diberikan suatu kebutuhan rancangan; • mampu menggunakan program Xilinx ISE Webpack untuk merancang sistem digital dengan benar; • mampu melakukan optimasi desain berdasarkan	Ceramah Discovery Learning Diskusi Tanya Jawab (2x50")		Perangkat lunak pengembangan HDL Xilinx ISE Webpack dan papan pengembangan Xilinx FPGA	5

		konstrai yang diberikan • mampu membuat testbench dan melakukan simulasi dari desain sederhana • mampu mengimplementasikan desain ke FPGA Xilinx				
3	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu menjelaskan, mendesain dan mengevaluasi rangkaian kombinasional paling sedikit 80% tepat.	• Mampu membuat modul HDL Verilog untuk elemen-elemen rangkaian kombinasional tersebut dengan tepat (dapat disintesis) • mampu mensimulasikan dan menganalisis desain HDL tersebut • mampu mensintesis dan mengimplementasikan desain rangkaian kombinasional ke FPGA Xilinx	Ceramah Contextual Instruction (2x50")		Rangkaian Kombinasional dan Implementasinya: HDL Multiplexer/Demultiplexer, HDL Encoder/Dekoder, HDL Dekoder 7-segmen, HDL Buffer tiga keadaan, HDL ALU (arithmetic logic unit), dan HDL Komparator	5
4	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu mengimplementasikan HDL dan menganalisis latch dan flip-	• mampu menjelaskan perbedaan latch dan flip flop dengan tepat • mampu menjelaskan fungsi karakteristik latch dan flip-flop data dengan tepat • mampu	Contextual Instruction Diskusi (2x50")		Latch, Flip-Flop dan Implementasinya: HDL Latch, HDL Flip-flop, HDL Latch data dan flip-flop data, Masukan enable, Masukan asinkron, Masalah pewaktuan	5

	flop paling sedikit 80% tepat.	membuat modul HDL untuk latch dengan/tanpa masukan enable dan masukan asinkron mampu menganalisis masalah pewaktuan sebagai konstrain desain				
5	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu merancang dan menganalisis HDL mesin keadaan terbatas paling sedikit 80% tepat	- mampu menerapkan model-model FSM untuk mendesain rangkaian sekuensial sinkron berupa modul serial adder dan counter - mampu mengevaluasi desain rangkaian sekuensial sinkron yang diimplementasikan menggunakan DFF	Contextual Instruction Diskusi (2x50")		Mesin Keadaan Terbatas (FSM, Finite State Machine): FSM Moore, FSM Mealy, HDL FSM	5
6	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu merancang dan menganalisis HDL rangkaian sekuensial paling sedikit 80% tepat	- mampu menjelaskan struktur dan fungsi register dan shift register - mampu menjelaskan struktur dan fungsi pencacah n-bit, baik pencacah maju dan/atau mundur, sinkron atau asinkron - mampu memprogram	Contextual Instruction Diskusi Simulasi (2x50")		Rangkaian Sekuensial dan HDL-nya: Register data, Register geser, Pencacah maju/mundur, SRAM (Static random access memory)	5

		modul Verilog untuk register dan register geser • mampu memprogram modul Verilog untuk pencacah naik dan/atau turun, sinkron atau sinkron • mampu mensimulasikan modul-modul tersebut • mampu membuat modul-modul HDL tersintesis untuk register dan counter dengan fungsi serupa dengan IC seri 74xx				
7	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu menjelaskan Mikroprosesor keperluan khusus dan mikroprosesor keperluan umum paling sedikit 80% tepat.	• mampu menjelaskan Mikroprosesor keperluan khusus dan mikroprosesor keperluan umum	Ceramah Diskusi Tanya Jawab (2x50")		Mikroprosesor keperluan khusus dan mikroprosesor keperluan umum	5
UTS						15
8	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer	• mampu menjelaskan langkah-langkah desain datapath keperluan • khusus mampu mendesain	Ceramah Diskusi (2x50")		Datapath: Desain datapath umum, Aplikasi datapath umum, Desain datapath umum, Aplikasi	5

	akan mampu menjelaskan prinsip kerja datapath, mengimplementasikan, dan menganalisisnya paling sedikit 80% tepat.	modul HDL untuk datapath keperluan khusus • mampu merancang dan mengevaluasi datapath khusus, misalnya IF THEN-ELSE • mampu menjelaskan langkah-langkah desain datapath keperluan umum • mampu mendesain modul HDL untuk datapath keperluan umum • mampu merancang dan mengevaluasi datapath umum			datapath umum	
9	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu mengembangkan unit kontrol menggunakan HDL dan menganalisisnya paling sedikit 80% tepat.	• mampu menjelaskan komponen-komponen dalam unit kontrol • mampu mendesain modul HDL untuk unit kontrol • mampu mendesain modul HDL untuk unit membangkitkan sinyal status • mampu menganalisis masalah pewaktuan dalam desain	Contextual Instruction (2x50")		Unit Kontrol: Susunan unit kontrol, Teknik membangkitkan sinyal status, Permasalahan pewaktuan, Kontroler stand-alone, Diagram ASM (algorithmic state machine) dan tabel aksi keadaan	5

		- mampu menyusun diagram ASM dan tabel aksi keadaan - mampu merancang dan mengevaluasi sebuah kontroler mandiri (stand-alone)				
10	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu mendesain, mengimplementasikan dan mengevaluasi modul mikroprosesor keperluan khusus paling sedikit 80% tepat.	- Mampu menjelaskan konstruksi mikroprosesor keperluan khusus - mampu mengimplementasikan model pengembangan FSM+D - mampu menganalisis dan mendesain modul HDL untuk mikroprosesor keperluan khusus - mampu mengimplementasikan dan mengevaluasi modul mikroprosesor tersebut	Ceramah Contextual Instruction (2x50")		Mikroprosesor Keperluan Khusus: desain mikroprosesor khusus, model FSM+D	5
11	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu mendesain, mengimplementasikan dan	- Mampu menjelaskan konstruksi mikroprosesor keperluan khusus - mampu mengimplementasikan model pengembangan FSM+D dan	Ceramah Contextual Instruction (2x50")		Mikroprosesor Keperluan Khusus: model FSM+D, model perilaku	5

	mengevaluasi modul mikroprosesor keperluan khusus paling sedikit 80% tepat.	Model Perilaku • mampu menganalisis dan mendesain modul HDL untuk mikroprosesor keperluan khusus • mampu mengimplementasikan dan mengevaluasi modul mikroprosesor tersebut				
12	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu mendesain, mengimplementasikan dan mengevaluasi modul mikroprosesor keperluan umum paling sedikit 80% tepat.	• mampu menjelaskan konstruksi mikroprosesor keperluan umum • mampu Mengimplementasikan model pengembangan FSM+D dalam desain mikroprosesor • mampu menganalisis dan mendesain modul HDL untuk mikroprosesor keperluan umum • mampu mengimplementasikan dan mengevaluasi modul mikroprosesor tersebut	Ceramah Diskusi Tanya Jawab (2x50")		Mikroprosesor Keperluan Umum: Desain CPU Keperluan Umum, Model struktural FSM+D	5
13	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer	• mampu menjelaskan konstruksi mikroprosesor keperluan umum • mampu Mengimplementasikan	Ceramah Diskusi Tanya Jawab (2x50")		Mikroprosesor Keperluan Umum: Model perilaku FSMD, himpunan instruksi	5

	akan mampu mendesain, mengimplementasikan dan mengevaluasi modul mikroprosesor keperluan umum paling sedikit 80% tepat.	asikan model pengembangan FSM dalam desain mikroprosesor • mampu menganalisis himpunan instruksi yang akan digunakan mikroprosesor • mampu menganalisis dan mendesain modul HDL untuk mikroprosesor keperluan umum • mampu mengimplementasikan dan mengevaluasi modul mikroprosesor tersebut				
14	Setelah menyelesaikan pokok bahasan ini, mahasiswa Program Studi Teknik Komputer akan mampu mendesain, mensimulasikan, menguji dan mengkomunikasikan solusi desain dan analisis hasil pengembangan mikroprosesor paling sedikit 80% tepat.	• mampu mendesain, mensimulasikan, mengimplementasikan dan menguji mikroprosesor yang dikembangkan di atas FPGA Xilinx • mampu mengkomunikasikan solusi desain dan analisis hasil pengembangan mikroprosesor serta mempertahankan pendapat	Problem Based Learning (2x50")		Pemantauan proyek	5
UAS						15

