



RENCANA PEMBELAJARAN SEMESTER (RPS) UNIVERSITAS DIPONEGORO

SPMI-UNDIP	RPS	S1.SK-FT-UNDIP	042
-------------------	------------	-----------------------	------------

Revisi ke	1
Tanggal	5 Juli 2022
Dikaji Ulang Oleh	Ketua Program Studi Teknik Komputer
Dikendalikan Oleh	GPM Teknik Komputer
Disetujui Oleh	Dekan Fakultas Teknik

UNIVERSITAS DIPONEGORO		SPMI-UNDIP/RPS/S1.SK-FT-UNDIP/042	Disetujui Oleh Dekan Fak. Teknik
Revisi ke 1	Tanggal 5 Juli 2022	Rencana Pembelajaran Semester	



UNIVERSITAS DIPONEGORO
FAKULTAS TEKNIK
DEPARTEMEN TEKNIK KOMPUTER
PROGRAM SARJANA

SPMI-
UNDIP/RPS/S1.SK-
FT-UNDIP/042

RENCANA PEMBELAJARAN
SEMESTER

MATA KULIAH (MK)	KODE	RUMPUN MK	BOBOT		SEMESTER	TANGGAL PENYUSUNAN
Sistem Digital Lanjut	PTSK 6506	Umum	T=2	P=0	5	5 Juli 2022
OTORISASI/PENGESAHAN	DOSEN PENGEMBANG RPS		Koordinator RMK		KaPRODI	
CAPAIAN PEMBELAJARAN	CPL yang dibebankan pada MK					
	CPL 3	Memiliki pemahaman keilmuan dan penguasaan keterampilan di bidang teknik komputer, meliputi sistem tertanam dan robotika, jaringan dan keamanan komputer, rekayasa perangkat lunak, multimedia, game, dan kecerdasan buatan yang ditopang oleh profesionalitas, pengetahuan sains dasar dan rekayasa yang kuat.				
	CPMK (Capaian Pembelajaran Mata Kuliah)					
	CPMK 3-1	Mampu mendesain purwarupa sistem standalone dengan konsep waktu nyata untuk perancangan sistem kontrol dan monitoring				
	CPMK 3-2	Mampu mendesain purwarupa sistem terdistribusi dengan konsep waktu nyata untuk perancangan sistem kontrol dan monitoring				
Deskripsi Singkat	Mata kuliah ini memberikan kemampuan untuk menyelesaikan permasalahan, baik dengan rangkaian kombinasional maupun rangkaian sekuensial, yang diimplementasikan pada papan FPGA.					
Bahan Kajian Materi Pembelajaran	1. Pengenalan Sistem Digital Lanjut 2. IC TTL dan CMOS 3. Karakteristik IC 4. Pengantar Verilog 5. Pemrograman Verilog 6. Pemrograman Verilog Lanjut 7. Memprogram multiplexer, enkoder, dsb 8. Ujian Tengah Semester 9. FSM Moore 10. FSM Mealy 11. Konversi FSM Moore ke Mealy 12. Konversi FSM Mealy ke Moore 13. FSM Moore Multi input 14. FSM Mealy Multi Input					

	15. Wrap up meeting - masa depan FPGA 16. Ujian Akhir Semester
--	---

Pustaka		1. Sistem Digital dan Sistem Embedded, Widodo Budiharto, SSi, MKom, ISBN 978-979-29-6855-2, 2018 2. Verilog Coding for Logic Synthesis, Lee Weng Fook, John Wiley and Sons, New York USA, 2003 3. FSM-based Digital Design using Verilog HDL, Peter Minns, John Wiley and Sons, Hoboken, USA 4. https://technobyte.org/verilog-course-tutorials/ 5. https://www.pearsonhighered.com/assets/samplechapter/0/1/3/4/0134220137.pdf				
Pengampu		Team Pengajar Sistem Digital Lanjut				
Prasyarat		-				
Media Pembelajaran		Papan Tulis, LCD Projector, Laptop, dan Power Point				
Mg ke-	Sub-CPMK (sebagai kemampuan akhir yang diharapkan)	Penilaian	Bentuk pembelajaran; Metode Pembelajaran; Penugasan; [Estimasi Waktu]		Materi Pembelajaran	Bobot (%)
		Indikator, kriteria dan bentuk	Tatap Muka/Luring	Daring		
(1)	(2)	(3)	(4)	(5)	(6)	(7)
1	Mahasiswa mampu membedakan permasalahan yang harus diselesaikan dengan rangkaian kombinasional dan mana yang harus diselesaikan dengan rangkaian sekuensial dengan baik	• Ketepatan mahasiswa mendefinisikan masalah dalam peta Karnaugh • Mampu membedakan solusi dengan kombinasional atau sekuensial dengan benar.	• Ceramah / penjelasan materi perkuliahan • Diskusi studi kasus yang diberikan • Tanya jawab 2x50		• Pengenalan Sistem Digital Lanjut • Mendefinisikan masalah ke dalam peta Karnaugh	

2	Mahasiswa mampu membedakan permasalahan yang harus diselesaikan dengan rangkaian kombinasional dan mana yang harus diselesaikan dengan rangkaian sekuensial dengan baik	• Ketepatan mahasiswa menjelaskan proses kerja gerbang digital dari rangkaian transistor • Mampu menjelaskan fungsi kerja PAL dan PLA dengan benar.	• Ceramah / penjelasan materi perkuliahan • Diskusi studi kasus yang diberikan • Tanya jawab 2x50		• Pengenalan rangkaian digital • pengenalan rangkaian Terpadu (IC) TTL, CMOS • Pengenalan rangkaian PAL, PLA, CPLD, FPGA	
3	Mahasiswa mampu membedakan permasalahan yang harus diselesaikan dengan rangkaian kombinasional dan mana yang harus diselesaikan dengan rangkaian sekuensial dengan baik	• mahasiswa mampu menjawab fungsi fan-in dan fan-out dengan benar	• Ceramah / penjelasan materi perkuliahan • Diskusi studi kasus yang diberikan • Tanya jawab 2x50		• Karakteristik IC CMOS dan TTL • Memilih IC yang tepat untuk penyelesaian masalah	
4	Mahasiswa mampu menerapkan konsep reuse pada pemrograman Verilog dengan 2 cara pada rangkaian multiplexer atau sejenisnya dengan benar	• Mahasiswa mampu menjawab bagian-bagian program Verilog dengan benar • Mahasiswa mampu menulis kode Verilog untuk rangkaian gerbang sederhana	• Ceramah / penjelasan materi perkuliahan • Diskusi topik perkuliahan • Tanya jawab, latihan soal 2x50		• Pengantar pemrograman Verilog (sintaks dan contoh modul)	
5	Mahasiswa mampu menerapkan konsep reuse pada pemrograman Verilog dengan 2 cara pada rangkaian	• Mampu menunjukkan kesalahan pemrograman paling tidak 60%	• Ceramah / penjelasan materi perkuliahan • Diskusi topik perkuliahan • Tanya jawab,		• Pemrograman Verilog lebih dalam terkait aturan leksikal, tipe data, pemberian nilai, kontrol kejadian,	

	multiplexer atau sejenisnya dengan benar		latihan soal 2x50		kontrol kondisional, deskripsi register.	
6	Mahasiswa mampu menerapkan konsep reuse pada pemrograman Verilog dengan 2 cara pada rangkaian multiplexer atau sejenisnya dengan benar	Mampu membuat instansiasi program untuk konsep model reuse paling tidak 60% benar	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya jawab, latihan soal 2x50		Memprogram multiplexer, enkoder, enkoder prioritas, BCD to 7 segment dan sejenisnya	
7	Mahasiswa mampu menerapkan konsep reuse pada pemrograman Verilog dengan 2 cara pada rangkaian multiplexer atau sejenisnya dengan benar	Mampu membuat instansiasi program untuk konsep model reuse paling tidak 60% benar	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya jawab, latihan soal 2x50		Memprogram flip-flop, register, register geser, pencacah dengan model reuse	
8	UTS					
9	Mahasiswa mampu mendiagramkan dengan FSM untuk permasalahan sekuensial sederhana 1 input dan 2 flip-flop dengan benar	Mampu dengan benar membuat diagram FSM Moore	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya jawab, latihan soal 2x50		Mempelajari Finite State Machine: Moore, Model, State Diagram, State Transition Diagram, hingga rangkaian gerbang kombinasional	
10	Mahasiswa mampu mendiagramkan dengan FSM untuk permasalahan sekuensial sederhana 1 input dan 2 flip-	Mampu dengan benar membuat diagram FSM Mealy	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya		Mempelajari Finite State Machine: Mealy, Model, State Diagram, State Transition Diagram,	

	flop dengan benar		jawab, latihan soal 2x50		hingga rangkaian gerbang kombinasional	
11	Mahasiswa mampu mendiagramkan dengan FSM untuk permasalahan sekuensial sederhana 1 input dan 2 flip-flop dengan benar	Mampu setidaknya 60% benar melakukan konversi Moore ke Mealy	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya jawab, latihan soal 2x50		Mempelajari konversi Moore ke Mealy	
12	Mahasiswa mampu mendiagramkan dengan FSM untuk permasalahan sekuensial sederhana 1 input dan 2 flip-flop dengan benar	Mampu setidaknya 60% benar melakukan konversi Mealy ke Moore	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya jawab, latihan soal 2x50		Mempelajari konversi Mealy ke Moore	
13	Mahasiswa mampu mendiagramkan dengan FSM untuk permasalahan sekuensial sederhana 2 input dan 2 flip-flop dengan benar	Mampu dengan benar membuat diagram FSM Moore	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya jawab, latihan soal 2x50		Mempelajari Finite State Machine: Moore, Model, State Diagram, State Transition Diagram, hingga rangkaian gerbang kombinasional	

14	Mahasiswa mampu mendiagramkan dengan FSM untuk permasalahan sekuensial sederhana 2 input dan 2 flip-flop dengan benar	Mampu dengan benar membuat diagram FSM Mealy	- Ceramah / penjelasan materi perkuliahan - Diskusi topik perkuliahan - Tanya jawab, latihan soal 2x50		Mempelajari Finite State Machine: Mealy, Model, State Diagram, State Transition Diagram, hingga rangkaian gerbang kombinasional	
15	Mahasiswa mampu mendiagramkan dengan FSM untuk permasalahan sekuensial sederhana 2 input dan 2 flip-flop dengan benar	Mampu menjelaskan secara umum tahapan membuat disain sekuensial paling tidak 60% benar.	Diskusi 2x50		Wrap-up	
16	UAS					

